

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yoshihisa MATSUBARA, et al. **Examiner:** Unassigned
Serial No.: Unassigned **Group Art Unit:** Unassigned
Filed: Herewith **Docket:** 16782
For: SEMICONDUCTOR APPARATUS OF WHICH
RELIABILITY OF INTERCONNECTIONS IS
IMPROVED AND MANUFACTURING METHOD
OF THE SAME **Dated:** June 27, 2003

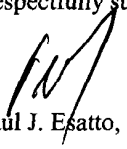
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application 2002-188927 (JP2002-188927), dated June 28, 2002.

Respectfully submitted,


Paul J. Esatto, Jr., Reg. No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

PJE:ahs


CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EV 185861289US

Date of Deposit: June 27, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to the Commissioner for Patents and Trademarks, P.O. Box 1450, Alexandria, VA 22313-1450, on June 27, 2003.

Dated: June 27, 2003


Paul J. Esatto, Jr.

日本国特許庁
JAPAN PATENT OFFICE

861
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月28日

出願番号

Application Number:

特願2002-188927

[ST.10/C]:

[JP2002-188927]

出願人

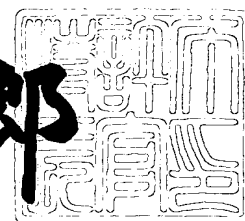
Applicant(s):

NECエレクトロニクス株式会社

2003年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3020095

【書類名】 特許願

【整理番号】 74112667

【提出日】 平成14年 6月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/3205

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 松原 義久

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 小室 雅宏

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 井口 学

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 小野寺 貴弘

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 岡田 紀雄

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100114672

 【弁理士】

 【氏名又は名称】 宮本 恵司

 【電話番号】 042-730-6520

【手数料の表示】

【予納台帳番号】 093404

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0004232

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

絶縁層に形成される配線溝又はビア孔に、CMP法を用いて配線又はビアが形成されてなる半導体装置において、

前記配線又は前記ビアの少なくとも一つが、CuとAlの合金からなり、

前記合金のAlの含有比率が略0.1乃至10atm・%に設定されていることを特徴とする半導体装置。

【請求項 2】

絶縁層に形成される配線溝又はビア孔に、CMP法を用いて配線又はビアを形成する工程を有する半導体装置の製造方法において、

前記配線溝又は前記ビア孔にCu又はCuを含む配線材料を埋設する工程と、前記配線材料上にAl膜又はAlを含む金属膜を形成する工程と、所定の温度で熱処理を行い、前記Al膜又は前記Alを含む金属膜を前記配線材料に全固溶させてCuとAlの合金を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】

基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔にバリアメタルを成膜する工程と、前記配線溝又は前記ビア孔にCu又はCuを含む配線材料を埋設する工程と、前記配線材料上にAl膜又はAlを含む金属膜を形成する工程と、所定の温度で熱処理を行い、前記Al膜又は前記Alを含む金属膜を前記配線材料に全固溶させてCuとAlの合金を形成する工程と、CMP法により前記絶縁膜上の前記合金と前記バリアメタルとを除去し、前記配線溝又は前記ビア孔内に前記合金からなる配線又はビアを形成する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 4】

基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔にバリアメタルを成膜する工程と、前記配線溝又は前記ビア孔をC

u 又は C u を含む配線材料で埋設する工程と、CMP 法により前記絶縁膜上の前記配線材料を除去する工程と、前記配線材料上に A l 膜又は A l を含む金属膜を形成する工程と、所定の温度で熱処理を行い、前記 A l 膜又は前記 A l を含む金属膜を前記配線材料に全固溶させて C u と A l の合金を形成する工程と、前記絶縁膜上の前記合金と前記バリアメタルとを除去し、前記配線溝又は前記ビア孔内に前記合金からなる配線又はビアを形成する工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項 5】

前記合金の A l の含有比率が略 0 . 1 乃至 1 0 a t m ・ % となるように、前記 A l 膜又は前記 A l を含む金属膜の膜厚を設定することを特徴とする請求項 2 乃至 4 のいずれか一に記載の半導体装置の製造方法。

【請求項 6】

前記熱処理を、略 2 0 0 乃至 2 7 0 ℃ の温度範囲で行うことを特徴とする請求項 2 乃至 5 のいずれか一に記載の半導体装置の製造方法。

【請求項 7】

最小配線幅が 0 . 1 8 μ m 以下であり、配線膜厚が 0 . 3 μ m 以上の配線で、バリアメタル膜厚を 0 . 0 1 μ m 以上有する配線構造に適用することを特徴とする請求項 2 乃至 6 のいずれか一に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、ダマシンプロセスを用いて形成した微細配線を備える半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置の高集積化及びチップサイズの縮小化に伴い、配線の微細化及び多層配線化が進められており、多層配線構造を形成する方法として、いわゆるダマシン (Damascene) 法と呼ばれるプロセスが一般的に行われている。このダマシン法は、絶縁膜にビア孔又は配線溝を形成した後、基板全面に導電性膜を

堆積し、化学機械的研磨法（CMP：Chemical Mechanical Polishing）によって研磨することにより配線やビアを形成するものである。この方法は、エッチング法による加工が困難な銅系の導電材料を用いた多層配線の形成方法として適している。

【0003】

この従来のダマシンプロセスについて図面を参照して説明する。図15は、従来のダマシンプロセスの一部を示す工程断面図である。

【0004】

まず、図15（a）に示すように、例えば、MOSトランジスタ等が形成された基板1に、SiN等の第1エッチングストッパ膜2とSiO₂等の第1配線間絶縁膜3とを順次堆積し、その上に形成したレジストパターンをマスクとして、公知のドライエッチング技術を用いて第1配線間絶縁膜3と第1エッチングストッパ膜2とをエッチングして第1配線溝3aを形成する。

【0005】

次に、配線材料の拡散を防止するためのバリア膜となるTiN等の第1バリアメタル膜4と配線材料となるCuのメッキ成長を容易にするためのシードメタル（図示せず）とをスパッタリング法により堆積し、その上にCu5を電解メッキ法等により形成する（図15（b））。そして、CMP法によって第1配線間絶縁膜3上のCu5及び第1バリアメタル膜4を除去して、第1配線溝3a内に第1Cu配線5aを形成する（図15（c））。その後、同様の工程を繰り返すことにより、所望の多層配線構造の半導体装置が形成される。

【0006】

【発明が解決しようとする課題】

上述したダマシン法によってCuの多層配線を形成することができるが、この方法では、配線材料であるCuとバリアメタルであるTiNとの密着性が必ずしも良好ではないため、エレクトロマイグレーション耐性が劣化するという問題が生じる。この問題に対して、特開2000-77413号公報では、CuとTiNとの間にAlからなるバリアメタルを介在させる構造を開示している。

【0007】

具体的に説明すると、この公報記載の技術は、図 1 6 (a) に示すように、第 1 配線間絶縁膜 3 に形成した第 1 配線溝 3 a に T i N からなる下層バリアメタル膜 1 8 a を形成した後、A l からなる上層バリアメタル膜 1 8 b を形成し、上層バリアメタル膜 1 8 b の上に C u 5 をメッキ成長し、CMP 法による第 1 C u 配線 5 a を形成するものであり（図 1 6 (b)、(c) 参照）、バリアメタルをこのような積層構造とすることにより、C u とバリアメタルとの密着性を向上させ、C u 原子の移動を抑制することにより、高エレクトロマイグレーション耐性を持った C u 配線を形成することができる。

【 0 0 0 8 】

しかしながら、上記公報記載の方法では、配線の微細化に伴って C u の埋め込みが困難になるという問題がある。一般に、配線溝の幅やビア孔の径が小さくなりアスペクト比（配線溝又はビア孔の深さ／配線溝の幅又はビア孔の径）が大きくなると C u の埋め込みが困難になるが、特に上記公報記載の方法では、配線溝やビア孔を形成した後に T i N からなる下層バリアメタル膜 1 8 a に加えて A l からなる上層バリアメタル膜 1 8 b も形成するため、上層バリアメタル 1 8 b の分だけ埋め込みマージンが小さくなってしまう。その結果、図 1 7 (a) に示すように、C u 5 の埋め込み段階で配線溝又はビア孔内にボイド欠陥 1 9 が形成されてしまったり、上層バリアメタル膜 1 8 b の膜厚が配線溝の幅やビア孔の径の 1 / 2 以上となると配線溝やビア孔そのものが A l によって埋め尽くされてしまう。また、微細な配線溝やビア孔に上層バリアメタル膜 1 8 b を均一に形成するためには、高い埋め込み性を有する装置が必要になるという問題もある。

【 0 0 0 9 】

また、配線の微細化に伴って、上記配線形成時の埋め込み性の劣化の問題に加えて、配線形成後にボイド欠陥が発生して配線の信頼性が低下するという問題もある。一般に幅の広い配線と幅の狭い配線や径の小さいビアとでは C u のグレインサイズが異なり、幅広配線ではグレインは大きく、微細配線又は微細ビアではグレインは小さくなる傾向にあり、グレインサイズの違いはエントロピーの違いに相当する。そして、グレインサイズの異なる配線やビアに熱処理が施されると、エントロピーを平均化するように物質が移動するため、微細配線又は微細ビア

内のCuがエントロピーの低い幅広配線に吸われる輸送現象が発生する。

【0010】

この輸送現象を図17(b)で説明すると、ビア内のグレインは小さいためにエントロピーは大きく、一方、配線内のグレインは大きいためにエントロピーは小さくなる。その結果、配線形成後に熱処理が施されると、エントロピーを平均化するためにビア内のCu原子が配線側に移動してしまい、ビア内にボイド欠陥19が発生して配線の接続信頼性が低下してしまう。

【0011】

このように、CMP法を用いてCu配線を形成するダマシン法では、配線形成時においては、Cuの埋め込みの劣化に伴うボイド欠陥の発生を抑制し、配線形成後においては、Cu原子の移動に起因するボイド欠陥の発生を抑制することが重要であり、上記公報記載の方法ではこれらの問題を解決することはできない。

【0012】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、Cuの埋め込み性を劣化させることなく、Cu原子の輸送現象に起因するボイド欠陥等の発生を抑制することができる半導体装置及びその製造方法を提供することにある。

【0013】

【問題を解決するための手段】

上記目的を達成するため、本発明の半導体装置は、絶縁層に形成される配線溝又はビア孔に、CMP法を用いて配線又はビアが形成されてなる半導体装置において、前記配線又は前記ビアの少なくとも一つが、CuとAlの合金からなり、前記合金のAlの含有比率が略0.1乃至10atm・%に設定されているものである。

【0014】

また、本発明の半導体装置の製造方法は、絶縁層に形成される配線溝又はビア孔に、CMP法を用いて配線又はビアを形成する工程を有する半導体装置の製造方法において、前記配線溝又は前記ビア孔にCu又はCuを含む配線材料を埋設する工程と、前記配線材料上にAl膜又はAlを含む金属膜を形成する工程と、

所定の温度で熱処理を行い、前記 A l 膜又は前記 A l を含む金属膜を前記配線材料に全固溶させて C u と A l の合金を形成する工程とを含むものである。

【 0 0 1 5 】

また、本発明の半導体装置の製造方法は、基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔にバリアメタルを成膜する工程と、前記配線溝又は前記ビア孔に C u 又は C u を含む配線材料を埋設する工程と、前記配線材料上に A l 膜又は A l を含む金属膜を形成する工程と、所定の温度で熱処理を行い、前記 A l 膜又は前記 A l を含む金属膜を前記配線材料に全固溶させて C u と A l の合金を形成する工程と、CMP 法により前記絶縁膜上の前記合金と前記バリアメタルとを除去し、前記配線溝又は前記ビア孔内に前記合金からなる配線又はビアを形成する工程と、を少なくとも有するものである。

【 0 0 1 6 】

また、本発明の半導体装置の製造方法は、基板上に形成した絶縁膜に配線溝又はビア孔を形成する工程と、前記配線溝又は前記ビア孔にバリアメタルを成膜する工程と、前記配線溝又は前記ビア孔を C u 又は C u を含む配線材料で埋設する工程と、CMP 法により前記絶縁膜上の前記配線材料を除去する工程と、前記配線材料上に A l 膜又は A l を含む金属膜を形成する工程と、所定の温度で熱処理を行い、前記 A l 膜又は前記 A l を含む金属膜を前記配線材料に全固溶させて C u と A l の合金を形成する工程と、前記絶縁膜上の前記合金と前記バリアメタルとを除去し、前記配線溝又は前記ビア孔内に前記合金からなる配線又はビアを形成する工程と、を少なくとも有するものである。

【 0 0 1 7 】

本発明においては、前記合金の A l の含有比率が略 0 . 1 乃至 1 0 a t m ・ % となるように、前記 A l 膜又は前記 A l を含む金属膜の膜厚を設定する構成とすることができる。

【 0 0 1 8 】

また、本発明においては、前記熱処理を、略 2 0 0 乃至 2 7 0 ℃ の温度範囲で行う構成とすることができる。

【 0 0 1 9 】

また、本発明においては、最小配線幅が $0.18\mu\text{m}$ 以下であり、配線膜厚が $0.3\mu\text{m}$ 以上の配線で、バリアメタル膜厚を $0.01\mu\text{m}$ 以上有する配線構造に適用する構成とすることもできる。

【0020】

すなわち、本発明では、Cuダマシン法を用いた半導体装置の製造方法において、Cuのメッキ成長後又はCMP後に、Cuの上にAl又はAlを含む材料を成膜し、指定の温度で熱処理を施すことにより、Cu内にAlを拡散させて全固溶状態の合金とし、これにより拡散係数を減少させて配線間又は配線とビア間の物質移動を抑制してボイド欠陥の発生を抑制することができる。また、Al又はAlを含む材料を配線溝やビア孔内部に形成するのではなく、配線溝やビア孔に埋め込んだCuの上に形成するため、配線溝やビア孔のアスペクト比の増加を防止することができ、Cuの埋め込み性の劣化に伴うボイド欠陥の発生も抑制することができる。

【0021】

【発明の実施の形態】

本発明に係る半導体装置及びその製造方法の好ましい実施の形態について、図1乃至図7を参照して説明する。図1及び図2は、本発明の一実施の形態に係る半導体装置の製造方法の一部を模式的に示す工程断面図であり、図3乃至図6は、本発明の効果を説明するための図である。また、図7は、Cu配線中のAl濃度の熱処理温度依存性を示す図である。

【0022】

従来技術で説明したように、Cuの微細配線の形成に際して、Cuとバリアメタルとの密着性を向上させ、エレクトロマイグレーション耐性を向上させるために、TiN等の下層バリアメタル膜18a上にAl等の上層バリアメタル膜18bを形成する方法がある。この方法を用いることによりCuとバリアメタルとの密着性を向上させることができるが、一方、配線溝やビア孔のアスペクト比が増加し、Cuの埋め込みが困難になるという問題がある。

【0023】

具体的に説明すると、図3(a)に示すように、配線溝又はビア孔にTiN等

のバリアメタルを形成した状態でのCuの埋め込み領域の幅をX、深さをYとすると、アスペクト比は Y/X であるが、図3(b)に示すように、TiN等の下層バリアメタル膜18a上に更に厚さBのAl等からなる上層バリアメタル膜18bを形成すると、Cuの埋め込み領域の深さは変わらないが、幅は $X-2B$ に減少し、その結果アスペクト比は $Y/(X-2B)$ となって増加してしまう。

【0024】

通常、Cuの埋め込みが可能なアスペクト比は2程度であり、配線膜厚(Y)を $0.3\mu\text{m}$ 以上、配線幅(X)を $0.18\mu\text{m}$ 以下とすると、上層バリアメタル膜18bの膜厚Bを $0.01\mu\text{m}$ 以上形成することができないため、最小配線幅が $0.18\mu\text{m}$ 以下の微細配線に上記公報記載の技術を適用することができなくなってしまう。

【0025】

また、Cuの埋め込みが可能であったとしても幅広の配線と微細配線とではCuの結晶性の差に応じてエントロピーにも差が生じ、配線形成後の熱処理において、エントロピーの平均化に伴って微細配線又は微細ビアから幅広配線にCu原子の移動が起こり、その結果、微細配線又は微細ビア内にボイド欠陥19が発生してしまう。

【0026】

これらの問題の内、輸送現象を抑制するためには配線材料の拡散係数を小さくする必要がある。そこで、本願発明者は拡散係数を小さくするために配線材料を合金化する方法を検討した。

【0027】

配線材料を合金化するにはCuに他の金属材料を固溶させればよいが、Cuに供給する材料としては、Cuと合金を形成する材料であることはもちろんのこと、配線の下層に形成されているMOSトランジスタ等に影響を与えないように低温で合金を形成する材料であることが重要である。また、供給量によって材料が析出すると配線の信頼性が劣化することから全固溶することが必要である。更に、合金化することによって一般に強度が向上するが電気伝導度が下がるため、Cuの電気伝導度を最も影響させずにLSIに必要な機械的強度を上げることが求

められる。このような各種条件を満たす材料として鋭意検討した結果、低温で合金化が可能であり、かつCuに全固溶するAlが合金化の金属として適していることを見出した。

【0028】

次に、CuにAlを供給する方法として、上記公報に記載されている構造を用いてTiN等のバリアメタル上にAl膜を形成すると、上述したように配線溝やビア孔のアスペクト比が増加してCuの埋め込み自体が困難になってしまう。また、合金化のための熱処理に際して、ビア部のCuが配線面積（配線領域の体積）の大きい配線部から引っ張られるため、上記公報記載の構造ではCuとAlを均一に合金化することができないことも判明した。

【0029】

そこで、本願発明者は、CuにAlを供給する方法として、Al膜を配線溝やビア孔内に形成するのではなく、図1及び図2に示すように、配線溝やビア孔に埋め込んだCuの上にAl膜を形成し、その後熱処理を行う方法を用いることにより、Cuの合金化と埋め込み性の劣化の防止とを同時に達成することができた。以下、その具体的方法について図面を参照して説明する。

【0030】

図1に示す方法は合金化後にCMPを行うことを特徴とする方法である。まず、図1(a)に示すように、例えば、MOSトランジスタ等が形成された基板1に、配線溝形成時のストップとなるSiN等の第1エッチングストップ膜2とCMPに対する機械的強度を有するSiO₂等の第1配線間絶縁膜3とを順次堆積し、その上に形成したレジストパターンをマスクとして、公知のドライエッチング技術を用いて第1配線間絶縁膜3と第1エッチングストップ膜2とをエッチングして第1配線溝を形成する。次に、配線材料の拡散を防止するためのバリア膜となるTa/TaN、TiN等の第1バリアメタル膜4と配線材料となるCuのメッキ成長を容易にするためのシードメタル（図示せず）とをスパッタリング法により堆積し、その上にCu5を電解メッキ法等により形成した後、Al6又はAlを含む材料（例えば、Cuを0.5%程度含むAlCu等）を形成する。

【0031】

そして、所定の温度で熱処理を行うことにより、図 1 (b) に示すように、Cu 5 と Al 6 とを全固溶状態で合金化して Cu - Al 合金 7 を形成し、CMP 法によって第 1 配線間絶縁膜 3 上の Cu - Al 合金 7 と第 1 バリアメタル膜 4 とを除去して、第 1 配線溝内に第 1 Cu - Al 配線 7 a を形成する (図 1 (c))。その後、同様の工程を繰り返すことにより、所望の多層配線構造の半導体装置が形成される。

【 0 0 3 2 】

また、図 2 に示す方法は Cu の CMP 後に合金化を行うことを特徴とする方法である。まず、図 2 (a) に示すように、基板 1 に、SiN 等の第 1 エッチングストッパ膜 2 と SiO₂ 等の第 1 配線間絶縁膜 3 とを順次堆積し、レジストパターンをマスクとしてエッチングを行い、第 1 配線溝を形成する。次に、配線材料の拡散を防止するためのバリア膜となる Ta / TaN、TiN 等の第 1 バリアメタル膜 4 と配線材料となる Cu のメッキ成長を容易にするためのシードメタル (図示せず) とをスパッタリング法により堆積し、その上に Cu 5 を電解メッキ法等により形成する。

【 0 0 3 3 】

次に、図 2 (b) に示すように、CMP 法によって第 1 配線間絶縁膜 3 上の Cu 5 を除去した後、Al 6 又は Al を含む材料を形成し、所定の温度で熱処理を行うことにより、図 2 (c) に示すように、配線溝内部の Cu 5 と Al 6 とを全固溶状態で合金化して Cu - Al 合金 7 を形成する。

【 0 0 3 4 】

そして、CMP 法によって第 1 配線間絶縁膜 3 上の Cu - Al 合金 7 と第 1 バリアメタル膜 4 とを除去して、第 1 配線溝内に第 1 Cu - Al 配線 7 a を形成する (図 2 (d))。その後、同様の工程を繰り返すことにより、所望の多層配線構造の半導体装置が形成される。

【 0 0 3 5 】

このような方法を用いることによって、Cu の埋め込み性を劣化させることなく、簡単かつ確実に Cu と Al の合金を形成することができ、ボイド欠陥に起因する信頼性の低下を防止することができるが、合金の中に含まれる Al の量、す

なわち、Cu 5 上に形成する Al 6 又は Al を含む材料の膜厚や熱処理の条件によって本発明の効果に差異が生じることが考えられる。そこで、好ましい Al の含有量及び熱処理条件を設定するために以下の検討を行った。

【 0 0 3 6 】

まず、Al の含有比率に関しては、Al の含有量が少なすぎると拡散係数の減少が不十分となり輸送現象の抑制効果が得られなくなってしまう、また、Al の含有量が多すぎると、抵抗が実質的に Al 配線と同等になり、Cu 配線が用いるメリットが損なわれてしまうことが予想される。

【 0 0 3 7 】

図 4 にビア歩留まりの熱処理時間依存性に関する Al 膜厚パラメータデータを示す (700nmCu)。図 4 より、20nm 以下の Al を合金化する場合は、効果が見られないものの、40nm 以上では歩留まりの改善効果が見られた。この場合、Al 40nm における配線中のアルミ含有率は 0.1atm・%であることが明らかになった。

【 0 0 3 8 】

また、Cu を合金化すると機械的強度が上がるが電気伝導度は低下してしまう。そこで、配線材料の電気伝導度を許容範囲に抑え、かつ L S I に必要な機械的強度を達成する観点からも Al の含有量を規定する必要がある。そこで、0.7 μ m の Cu をメッキ成長した後、膜厚 60～100nm の Al 膜を形成して熱処理により合金化した試料 (No. 1～7 及びリファレンス) を作成し、Al の膜厚、熱処理の条件を変化させた場合の比抵抗及びシート抵抗を求めた。その結果を表 1 及び図 5 に示す。

【 0 0 3 9 】

【表 1】

試料 No.	1	2	3	4
Al 膜厚(A)	600	800	800	800
熱処理条件	350℃60 分	350℃60 分	300℃60 分	335℃60 分
シート抵抗(mΩ/□)	53.4	68.0	48.2	58.8
合金膜厚(A)	4555	4341	4639	4348
比抵抗(Ω cm)	2.43E-06	2.95E-06	2.23E-06	2.55E-06
3200A 換算シート抵抗	75.9	92.3	69.8	79.9
試料 No.	5	6	7	8
Al 膜厚(A)	800	1000	1000	リファレンス
熱処理条件	350℃30 分	300℃60 分	335℃60 分	
シート抵抗(mΩ/□)	60.4	49.8	44.5	45.6
合金膜厚(A)	4517	4936	4454	3700
比抵抗(Ω cm)	2.73E-06	2.46E-06	3.21E-06	1.69E-06
3200A 換算シート抵抗	85.3	76.8	100.2	52.7

【 0 0 4 0 】

表 1 及び図 5 より、熱処理の温度が高いほど抵抗値が増加していることがわかる。合金化を促進するためには、熱処理温度は高い方が好ましいが、熱処理温度が高すぎると配線下層に形成された M O S トランジスタ等に悪影響を与え、また、前述のように熱処理温度が高くなると抵抗値が増加するので、熱処理温度を低く抑える必要もある。図 5 を参照すると、3 0 0 ℃で、抵抗値の膜厚依存性が小さく、A l の含有率が増えても抵抗上昇を小さく抑えることができるため、3 0 0 ℃以下が好ましい。さらに、この温度において、C u - A l 合金の抵抗が C u のみの抵抗の約 1. 5 倍になると A l の抵抗値と同等となり、C u 配線のメリットがなくなるため、比抵抗及び 3 2 0 0 A 換算シート抵抗がリファレンスの 1. 5 倍程度の抵抗となる 1 0 0 0 A より厚い膜厚は不適であり、1 0 0 0 A 以下の膜厚が好ましいことがわかる。ここで、1 0 0 0 A の A l 膜厚は、A l の含有率

で換算して 1 0 a t m ・ % であるので、電気伝導度の観点からは A l の含有率は 1 0 a t m ・ % 以下が好ましいといえる。

【 0 0 4 1 】

さらに、温度に関しては、2 7 0 ° C 以上より高い温度では C u が軟化し、輸送現象が起こることから熱処理温度は 2 7 0 ° C 以下の温度が好ましい。また、図 7 の C u 配線中の A l 濃度の熱処理温度依存性から 2 0 0 ° C 以上で C u 配線に 0 . 1 a t m ・ % 以上の A l が混入できることが分かる。従って、熱処理温度は 2 0 0 ° C 以上 2 7 0 ° C 以下の温度範囲が適切である。

【 0 0 4 2 】

なお、上記実験において、C u と A l の合金化が行われていることを確認するために、A l の膜厚 6 0 n m 、熱処理条件 3 5 0 ° C - 6 0 分の試料（試料 N o . 1 ）と、A l の膜厚 8 0 n m 、熱処理条件 3 5 0 ° C - 6 0 分の試料（試料 N o . 2 ）と、A l の膜厚 8 0 n m 、熱処理条件 3 5 0 ° C - 3 0 分の試料（試料 N o . 5 ）の試料を S I M S により測定した。その結果を図 6 に示す。図 6 より、いずれの試料においても深さ方向に対して A l が均一に分布しており、本発明の方法で表面のみならず配線又はビア全体を合金化できることがわかる。

【 0 0 4 3 】

このように、配線溝又はビア孔にメッキ成長させた C u の上に A l 又は A l を含む金属材料を成膜して所定の温度条件で熱処理を施すことにより、低温で C u に A l を全固溶させて合金化することができる。これにより拡散係数を低減して物質移動を抑えることができ、配線形成後の熱処理においてエントロピーの平均化に伴うボイド欠陥の発生を防止することができ、配線の信頼性を向上させることができる。また、A l 又は A l を含む材料を C u の下層ではなく上層に成膜することによって、配線溝やビア孔のアスペクト比を大きくすることがないため、C u の埋め込み性を劣化させることがなく、埋め込み不良によるボイド欠陥の発生を防止することもできる。更に、C u の上層に A l 又は A l を含む材料を形成するため、高い埋め込み性を有する装置を用いる必要がなく、また、0 . 2 μ m 以下の微細な配線やビアにも本発明の方法を適用することができるという効果も得られる。

【 0 0 4 4 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【 0 0 4 5 】

〔実施例 1〕

まず、本発明の第 1 の実施例に係る半導体装置の製造方法について、図 8 乃至図 1 1 を参照して説明する。図 8 乃至図 1 1 は、本発明の合金化処理を含む半導体装置の製造方法を示す工程断面図であり、作図の都合上、分図したものである。なお、本実施例は、デュアルダマシンプロセスに本発明の合金化処理を適用するものである。以下、その具体的な手順について説明する。

【 0 0 4 6 】

まず、図 8 (a) に示すように、M O S トランジスタ等が形成された基板 1 上に、C V D 法、プラズマ C V D 法等を用いて、第 1 エッチングストッパ膜 2 と第 1 配線間絶縁膜 3 とを順次形成し、その上に、露光の反射を抑制するための反射防止膜と化学増幅型レジストを塗布し、K r F フォトリソグラフィーによる露光、現像を行い、第 1 配線溝 3 a を形成するためのレジストパターン（図示せず）を形成する。続いて、公知のドライエッチングを用いて第 1 配線間絶縁膜 3、第 1 エッチングストッパ膜 2 を順次エッチングして、それらを貫通する第 1 配線溝 3 a を形成する。その後、酸素プラズマアッシング及び有機剥離液を用いたウェット処理によりレジストパターンと反射防止膜とを剥離し、ドライエッチングの残留物を除去する。なお、第 1 エッチングストッパ膜 2 と第 1 配線間絶縁膜 3 の材料は特に限定されず、エッチングの選択比が得られる材料の組み合わせであればよく、S i O₂、S i N、S i O N、S i C、低誘電率膜等の中から適宜選択することができる。

【 0 0 4 7 】

次に、図 8 (b) に示すように、スパッタ法を用いて、T i、T i N、T a、T a N、W N 等の単層膜、又はそれらを組み合わせた 2 層以上の積層膜からなる第 1 バリアメタル膜 4 を成膜（例えば、T a / T a N を 2 0 n m / 2 0 n m 程度

成膜) し、続いて、配線材料となるCuのめっき成長を容易にするためのCuのシードメタル(図示せず)を100nm程度形成する。次に、電解めっき法によりCu5を600nm程度形成して第1配線溝3a内をCu5で埋設する。

【0048】

次に、本実施例の特徴である合金化処理を行う。実施の形態で説明したように、配線材料の拡散係数を低減するための合金化の材料としては低温での合金化が可能であること、全固溶すること、半導体プロセスに適合可能な材料であること等の条件を満たすことが求められ、このような条件を満たす材料としてAlが適当である。また、Alの含有比率が小さすぎると輸送現象の抑制効果が得られず、大きすぎると配線抵抗が大きくなりCu配線のメリットが損なわれる。そこで、図8(c)に示すように、Cu5の上にAl6又はAlを含む材料を60nm程度形成する。

【0049】

次に、合金化のための熱処理を行うが、熱処理温度が低すぎると合金化が不十分となり、高すぎるとCu5が軟化したり基板1に形成したMOSトランジスタが動作不良を起こす等の問題が生じるため、200℃～270℃程度、好ましくは250℃～270℃の温度で熱処理を行う。すると、図8(d)に示すように、Al6がCu5に全固溶してCu-Al合金7が形成される。

【0050】

次に、図8(e)に示すように、CMP法を用いて第1配線間絶縁膜3上のCu-Al合金7及び第1バリアメタル膜4を除去して第1配線間絶縁膜3内に第1Cu-Al合金配線7aを形成する。なお、上記合金化の方法として、Cu5をCMP法により研磨した後にAl6を形成して熱処理を施して合金化し、その後、第1配線間絶縁膜3上のCu-Al合金7及び第1バリアメタル膜4を除去して第1配線間絶縁膜3内に第1Cu-Al合金配線7aを形成する方法(図2の方法)を用いても良い。

【0051】

次に、図9(a)に示すように、第1配線間絶縁膜3上に、CVD法、プラズマCVD法等を用いて、第2エッチングストッパ膜8とビア層間絶縁膜9を形成

し、その上に、反射防止膜と化学増幅型レジストを塗布し、K r F フォトリソグラフィによる露光、現像を行い、ビア孔 9 a を形成するためのレジストパターン（図示せず）を形成する。その後、公知のドライエッチングを用いてビア層間絶縁膜 9、第 2 エッチングストッパ膜 8 を順次エッチングして、それらを貫通するビア孔 9 a を形成し、酸素プラズマアッシング及び有機剥離液を用いたウェット処理によりレジストパターンと反射防止膜とを剥離し、ドライエッチングの残留物を除去する。なお、第 2 エッチングストッパ膜 8 とビア層間絶縁膜 9 の材料も特に限定されず、エッチングの選択比が得られる材料の組み合わせであればよく、 SiO_2 、 SiN 、 SiON 、 SiC 、低誘電率膜等の中から適宜選択することができる。

【 0 0 5 2 】

次に、図 9（b）に示すように、スパッタ法を用いて、Ti、TiN、Ta、TaN、WN 等の単層膜、又はそれらを組み合わせた 2 層以上の積層膜からなる第 2 バリアメタル膜 10 を成膜（例えば、Ta/TaN を 20 nm/20 nm 程度成膜）し、続いて、Cu のシードメタル（図示せず）を 100 nm 程度形成する。

【 0 0 5 3 】

次に、図 9（c）に示すように、電解めっき法により Cu 11 を形成してビア孔 9 a 内を Cu 11 で埋設する。ここで、図 7（c）と同様に Cu 11 上に Al を形成してもよいが、配線間又は配線とビアとの間の物質移動を抑制するためには隣接する配線又はビアのいずれかが合金化されていれば物質移動は抑制されるため、必ずしも全ての配線又はビアの Cu を合金化する必要はない。

【 0 0 5 4 】

例えば、同一層に幅広配線と微細配線（例えば、面積比率が 20 : 1 以上異なる配線）が接続されている場合や、幅広配線と微細なビア（例えば、面積比率が 40 : 1 以上異なる配線とビア）が接続されている場合は、いずれかの層の Cu を合金化することが好ましいが、面積比率が大きく異なる配線同士又は配線とビアでは輸送現象が起こりにくく、むしろ抵抗の増加を抑制するために合金化しない方が好ましい場合もある。従って、どの配線又はビアを合金化するかは半

導体装置全体のレイアウトや半導体装置に求められる特性等を考慮して定めることが望ましい。

【 0 0 5 5 】

次に、図 9 (d) に示すように、CMP 法を用いてビア層間絶縁膜 9 上の Cu 1 1 及び第 2 バリアメタル膜 1 0 を除去してビア層間絶縁膜 9 内に第 1 Cu - Al 合金配線 7 a と接続されるビア 1 1 a を形成する。その後、図 1 0 (a) 乃至図 1 1 (b) に示すように、同様に第 2 配線間絶縁膜 1 3 の第 2 配線溝 1 3 a に第 3 バリアメタル膜 1 4 及び Cu 1 5 を形成し、Al 6 を形成して熱処理を施して合金化した後、CMP 法により余分な Cu - Al 合金 1 7 を除去して第 2 Cu - Al 合金配線 1 7 a を形成する。そして、上記工程を所望の回数繰り返して多層配線構造を形成する。

【 0 0 5 6 】

このように、本実施例の半導体装置の製造方法によれば、いずれかの配線溝又はビア孔に Cu を埋設した後、Al 又は Al を含む材料を形成して熱処理を施し Cu - Al 合金を形成することによって、配線間又は配線とビア間の物質移動を抑制することができ、従来例のようにボイド欠陥が発生して信頼性が低下するという不具合を未然に防止することができる。また、Al を配線溝又はビア内でなく Cu 上に形成することにより、Cu の埋め込み性の劣化を防止することができる。埋め込み不良によるボイド欠陥の発生も防止することができる。

【 0 0 5 7 】

[実施例 2]

次に、本発明の第 2 の実施例に係る半導体装置の製造方法について、図 1 2 乃至図 1 4 を参照して説明する。図 1 2 乃至図 1 4 は、本発明の合金化処理を含む半導体装置の製造方法を示す工程断面図であり、作図の都合上、分図したものである。なお、本実施例は、ビアファーストデュアルダマシンプロセスに本発明の合金化処理を適用するものである。以下、その具体的な手順について説明する。

【 0 0 5 8 】

前記した第 1 の実施例と同様に、MOS トランジスタ等が形成された基板 1 上に、CVD 法、プラズマ CVD 法等を用いて、第 1 エッチングストッパ膜 2 と第

1 配線間絶縁膜 3 を順次形成し、レジストパターンを用いて第 1 配線溝 3 a を形成した後、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₅、WN 等の単層膜、又はそれらを組み合わせた 2 層以上の積層膜からなる第 1 バリウム膜 4（例えば、Ta/Ta₂N₅を 20 nm/20 nm 程度）と Cu のシードメタルを 100 nm 程度形成し、電解めっき法により Cu₅ を 600 nm 程度形成して第 1 配線溝 3 a 内を Cu₅ で埋設する。その後、合金化のための Al₆ を 60 nm 程度形成し、200℃～270℃、好ましくは 250℃～270℃の温度範囲で熱処理を行い、Cu₅ と Al₆ とを合金化させた後、CMP 法を用いて第 1 配線間絶縁膜 3 上の Cu-Al 合金 7 及び第 1 バリウム膜 4 を除去して第 1 配線間絶縁膜 3 内に第 1 Cu-Al 合金配線 7 a を形成する（図 12（a）乃至（e）参照）。

【0059】

次に、図 13（a）に示すように、第 1 配線間絶縁膜 3 上に、CVD 法、プラズマ CVD 法等を用いて、第 2 エッチングストッパ膜 8 とビア層間絶縁膜 9 と第 2 配線溝 13 a のエッチングストッパとなる第 3 エッチングストッパ膜 12 と第 2 配線間絶縁膜 13 とを順次形成し、その上に、ビア孔 9 a を形成するためのレジストパターン（図示せず）を形成した後、公知のドライエッチングを用いて第 2 配線間絶縁膜 13、第 3 エッチングストッパ膜 12、ビア層間絶縁膜 9 を順次エッチングして、それらを貫通するビア孔 9 a を形成する。なお、第 2 エッチングストッパ膜 8、ビア層間絶縁膜 9、第 3 エッチングストッパ膜 12、第 2 配線間絶縁膜 13 の材料は特に限定されず、エッチングの選択比が得られる材料の組み合わせであればよく、SiO₂、SiN、SiON、SiC、低誘電率膜等の中から適宜選択することができる。

【0060】

次に、図 13（b）に示すように、第 2 配線間絶縁膜 13 上に、第 2 配線溝 13 a を形成するためのレジストパターン（図示せず）を形成した後、公知のドライエッチングを用いて第 3 エッチングストッパ膜 12 をエッチングストッパとして第 2 配線間絶縁膜 13 をエッチングして第 2 配線溝 13 a を形成した後、露出した第 3 エッチングストッパ膜 12 及び第 2 エッチングストッパ膜 8 を除去する

【 0 0 6 1 】

次に、図 1 3 (c) に示すように、スパッタ法を用いて、Ti、TiN、Ta、Ta₂N₅、WN等の単層膜、又はそれらを組み合わせた2層以上の積層膜からなるバリアメタル12を成膜（例えば、Ta/Ta₂N₅を20nm/20nm程度成膜）し、続いて、Cuのシードメタル（図示せず）を100nm程度形成し、電解めっき法によりCu15を600nm程度形成してビア孔9a及び第2配線溝13aをCu15で埋設する。

【 0 0 6 2 】

その後、Cuを合金化するためのAl16を60nm程度形成し（図 1 3 (d) 参照）、200℃～270℃、好ましくは250℃～270℃程度の温度で熱処理を行い、Cu-Al合金17を形成する（図 1 4 (a) 参照）。

【 0 0 6 3 】

その後、図 1 4 (b) に示すように、CMP法を用いて第2配線間絶縁膜13上のCu-Al合金17及び第3バリアメタル膜14を除去して第1Cu-Al合金配線7aと接続されるビアと第2Cu-Al合金配線17aとを同時に形成する。そして、上記工程を所望の回数繰り返して多層配線構造を形成する。

【 0 0 6 4 】

このように、本実施例の半導体装置の製造方法によっても、配線溝又はビア孔にCuを埋設した後、Al又はAlを含む金属材料を形成して熱処理を施し、Cu-Al合金を形成することによって、配線間又は配線とビア間の物質移動を抑制することができる。特に、本実施例の構造では、配線溝とビアとが同時に形成されるため、その後の熱処理によってCu原子の移動が起こりやすく、ボイド欠陥が発生しやすいが、ビア及び配線の双方が合金化されているため、物質移動を確実に抑制することができる。また、従来技術で示したCuの埋め込み前にAl膜を形成する方法では、ビアと配線とを同時に埋め込むことは困難であるが、本実施例の方法では、Cuの埋め込み性の劣化を防止することができ、埋め込み不良によるボイド欠陥の発生も防止することができる。

【 0 0 6 5 】

なお、第2の実施例では、デュアルダマシンプロセスの一形態であるビアファーストデュアルダマシンプロセスについて記載したが、第2配線間絶縁膜13上にハードマスクを形成して配線溝を形成するデュアルハードマスクプロセスやその他のデュアルダマシンプロセスについても同様に適用することができる。

【0066】

【発明の効果】

以上説明したように、本発明の半導体装置及びその製造方法によれば下記記載の効果奏する。

【0067】

本発明の第1の効果は、Cuのグレインサイズの差により配線形成後の熱処理でCu原子が移動してボイド欠陥が発生するという不具合を防止することができる、配線の信頼性を向上させることができるということである。

【0068】

その理由は、Cuのメッキ成長直後又はCuのCMP後に、Al又はAlを含む金属材料を堆積し熱処理を行うことにより、低温でCuとAlの合金を形成することができ、これにより、配線形成後に熱が加えられた場合であってもエントロピーの平均化に伴うCuの移動を抑制することができ、ボイド欠陥の発生を防止することができるからである。

【0069】

また、本発明の第2の効果は、Cuの埋め込み性の劣化を防止することができるということである。

【0070】

その理由は、合金化のためのAl又はAlを含む材料を配線溝又はビア内に形成するのではなく、配線溝又はビア孔に埋め込んだCu上に形成するため、配線溝又はビア孔のアスペクト比を増加させることがないからである。また、Cu上にAl又はAlを含む材料を形成することにより、高い埋め込み性を有する装置を用いる必要がなくなり、また、0.2 μ m以下の微細な配線やビアに対して本発明を適用することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態に係る半導体装置の製造方法の一部を模式的に示す工程断面図である。

【図 2】

本発明の一実施の形態に係る半導体装置の製造方法の一部を模式的に示す工程断面図である。

【図 3】

本発明の一実施の形態に係る半導体装置と従来構造の半導体装置のアスペクト比の違いを説明する図である。

【図 4】

本発明の一実施の形態に係る半導体装置におけるビア歩留まりの熱処理時間依存性に関する A l 膜厚パラメータデータを示す図である。

【図 5】

本発明の一実施の形態に係る半導体装置における A l の膜厚及び熱処理条件と比抵抗又はシート抵抗との相関を示す図である。

【図 6】

本発明の一実施の形態に係る半導体装置における A l の深さ方向の分布を示す図である。

【図 7】

本発明の一実施の形態に係る半導体装置における C u 配線中の A l 濃度の熱処理温度依存性を示す図である。

【図 8】

本発明の第 1 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 9】

本発明の第 1 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 1 0】

本発明の第 1 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図

である。

【図 1 1】

本発明の第 1 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 1 2】

本発明の第 2 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 1 3】

本発明の第 2 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 1 4】

本発明の第 2 の実施例に係る半導体装置の製造方法を模式的に示す工程断面図である。

【図 1 5】

従来の半導体装置の製造方法の一部を示す工程断面図である。

【図 1 6】

従来の半導体装置の製造方法の一部を示す工程断面図である。

【図 1 7】

従来の半導体装置の問題点を示す断面図である。

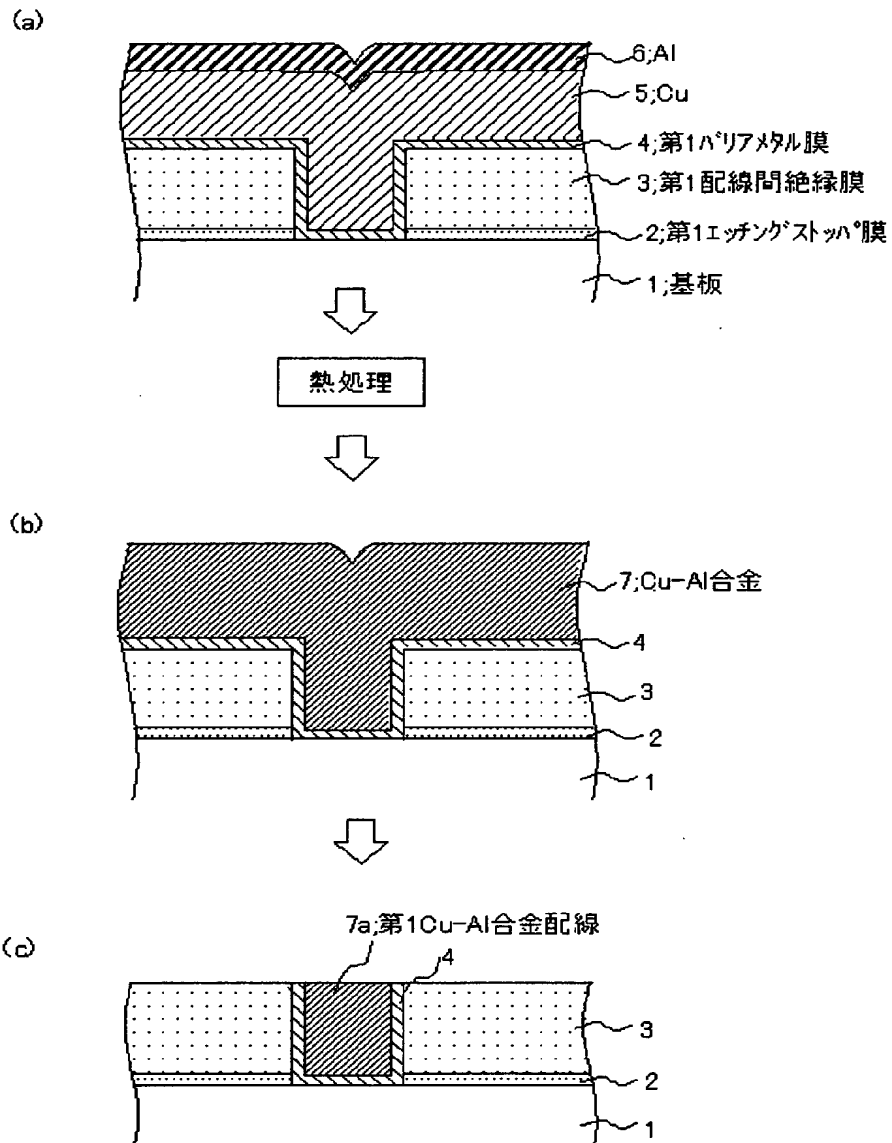
【符号の説明】

- 1 基板
- 2 第 1 エッチングストッパ膜
- 3 第 1 配線間絶縁膜
- 3 a 第 1 配線溝
- 4 第 1 バリアメタル膜
- 5 Cu
- 5 a 第 1 Cu 配線
- 6 Al
- 7 Cu-Al 合金

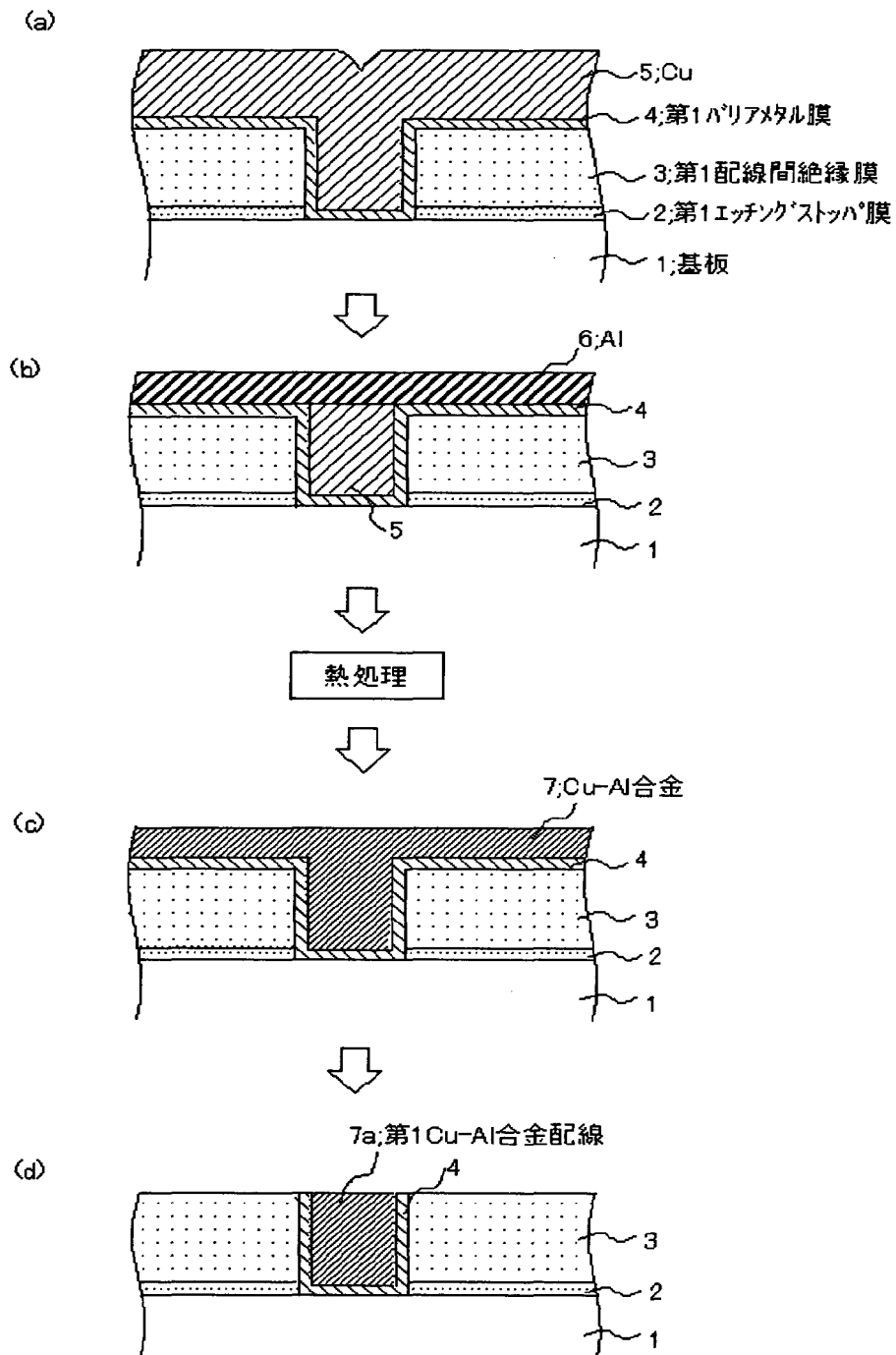
- 7 a 第 1 C u - A l 合金配線
- 8 第 2 エッチングストッパ膜
- 9 ビア層間絶縁膜
- 9 a ビア孔
- 1 0 第 2 バリアメタル膜
- 1 1 C u
- 1 1 a ビア
- 1 2 第 3 エッチングストッパ膜
- 1 3 第 2 配線間絶縁膜
- 1 3 a 第 2 配線溝
- 1 4 第 3 バリアメタル膜
- 1 5 C u
- 1 5 a 第 2 C u 配線
- 1 6 A l
- 1 7 C u - A l 合金
- 1 7 a 第 2 C u - A l 合金配線
- 1 8 a、2 0 a 下層バリアメタル膜 (T i N)
- 1 8 b、2 0 b 上層バリアメタル膜 (A l)
- 1 9 ボイド欠陥

【書類名】 図面

【図 1】

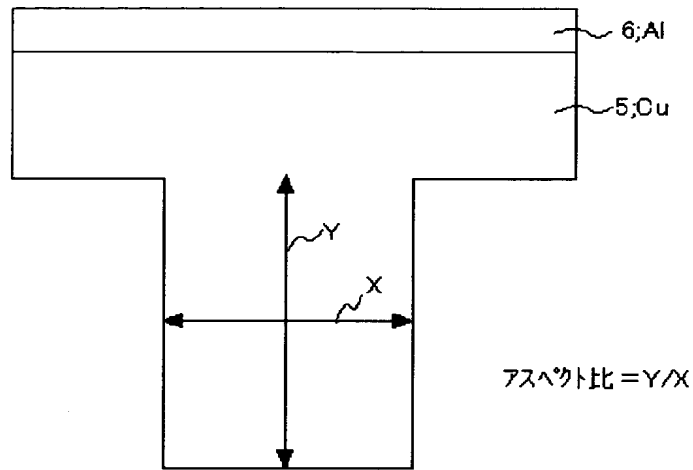


【図2】

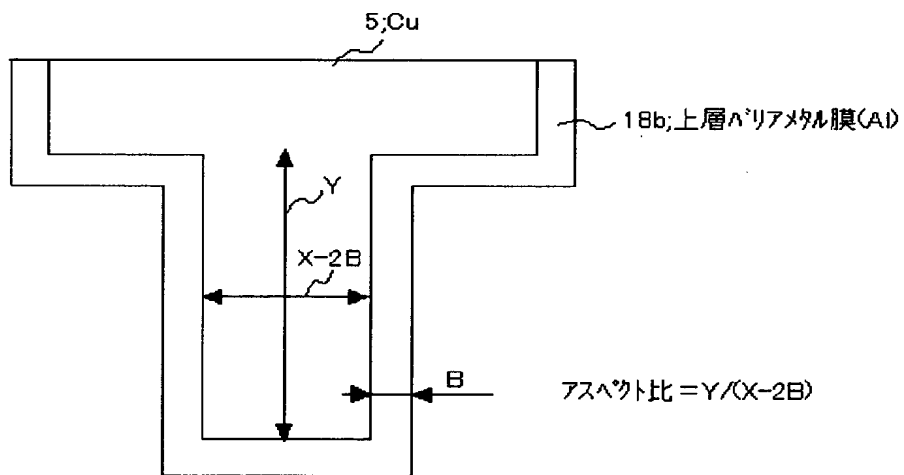


【図 3】

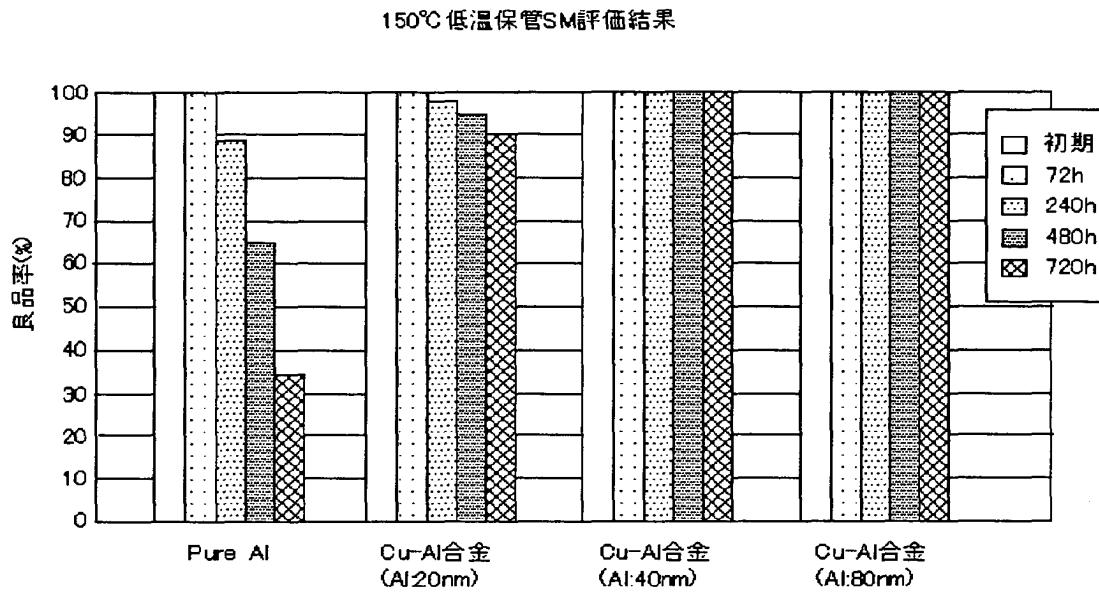
(a)



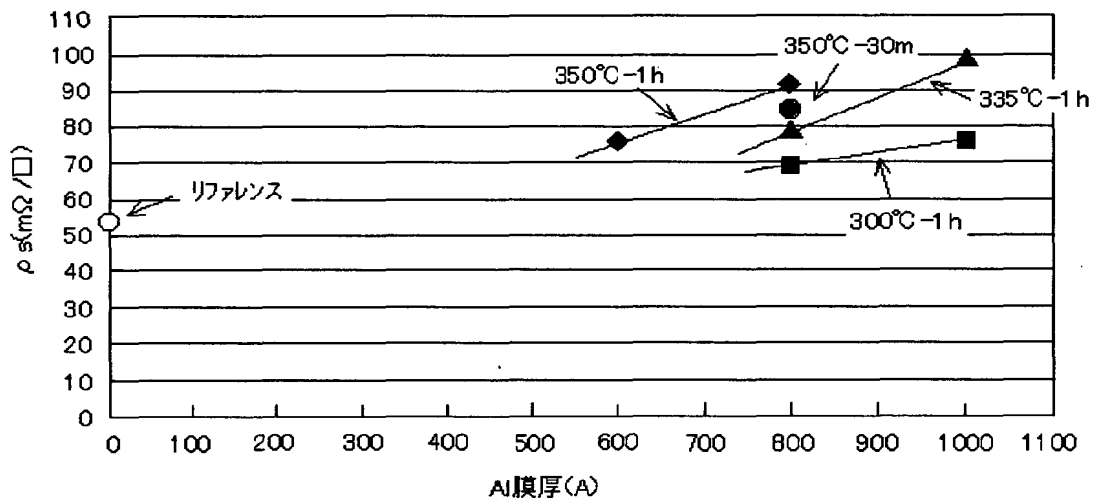
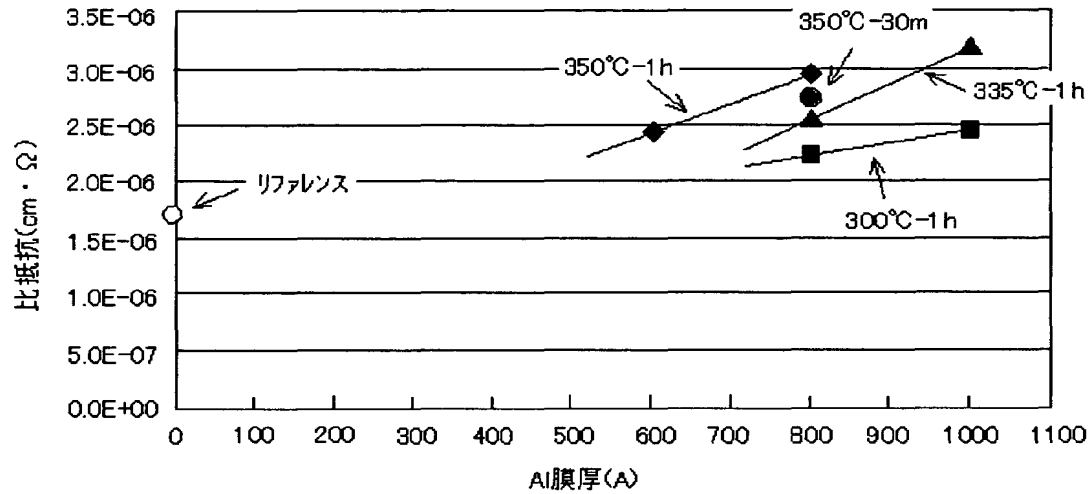
(b)



【図 4】

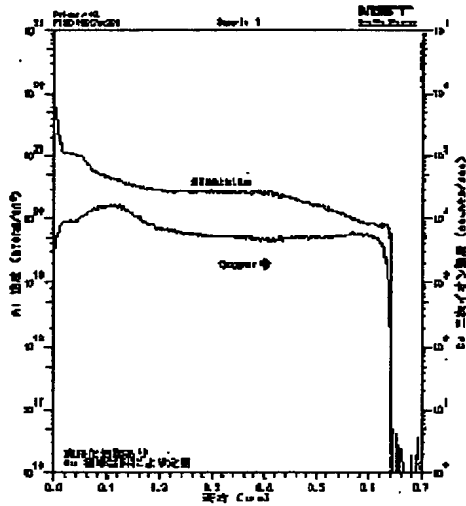


【図 5】



【図 6】

(a)



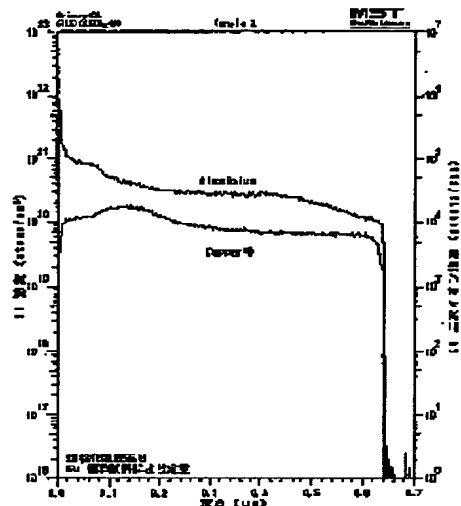
試料No.1

Al膜厚 : 60nm

Cu膜厚 : 700nm

合金化アノイ : 350°C 60分

(b)



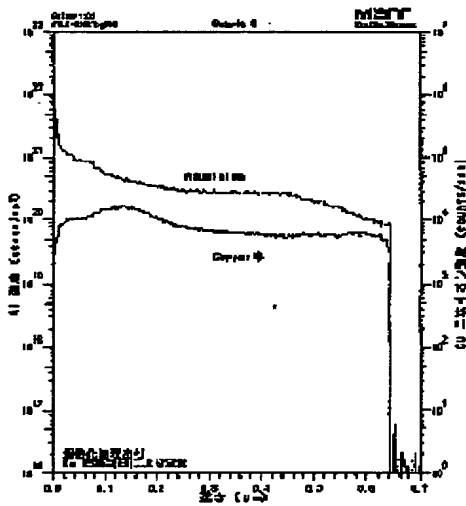
試料No.2

Al膜厚 : 80nm

Cu膜厚 : 700nm

合金化アノイ : 350°C 60分

(c)



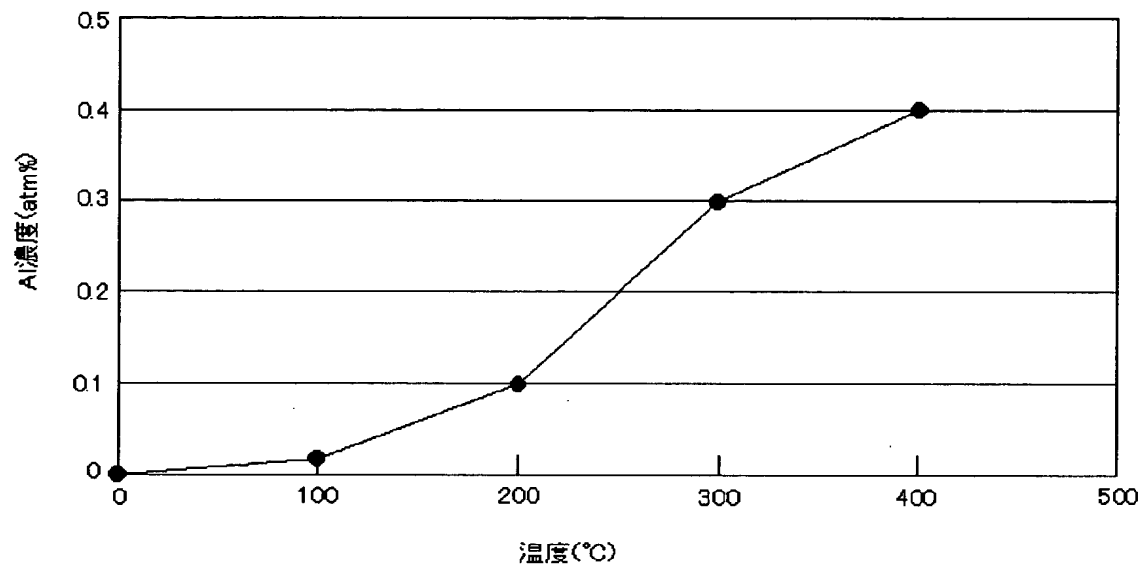
試料No.5

Al膜厚 : 80nm

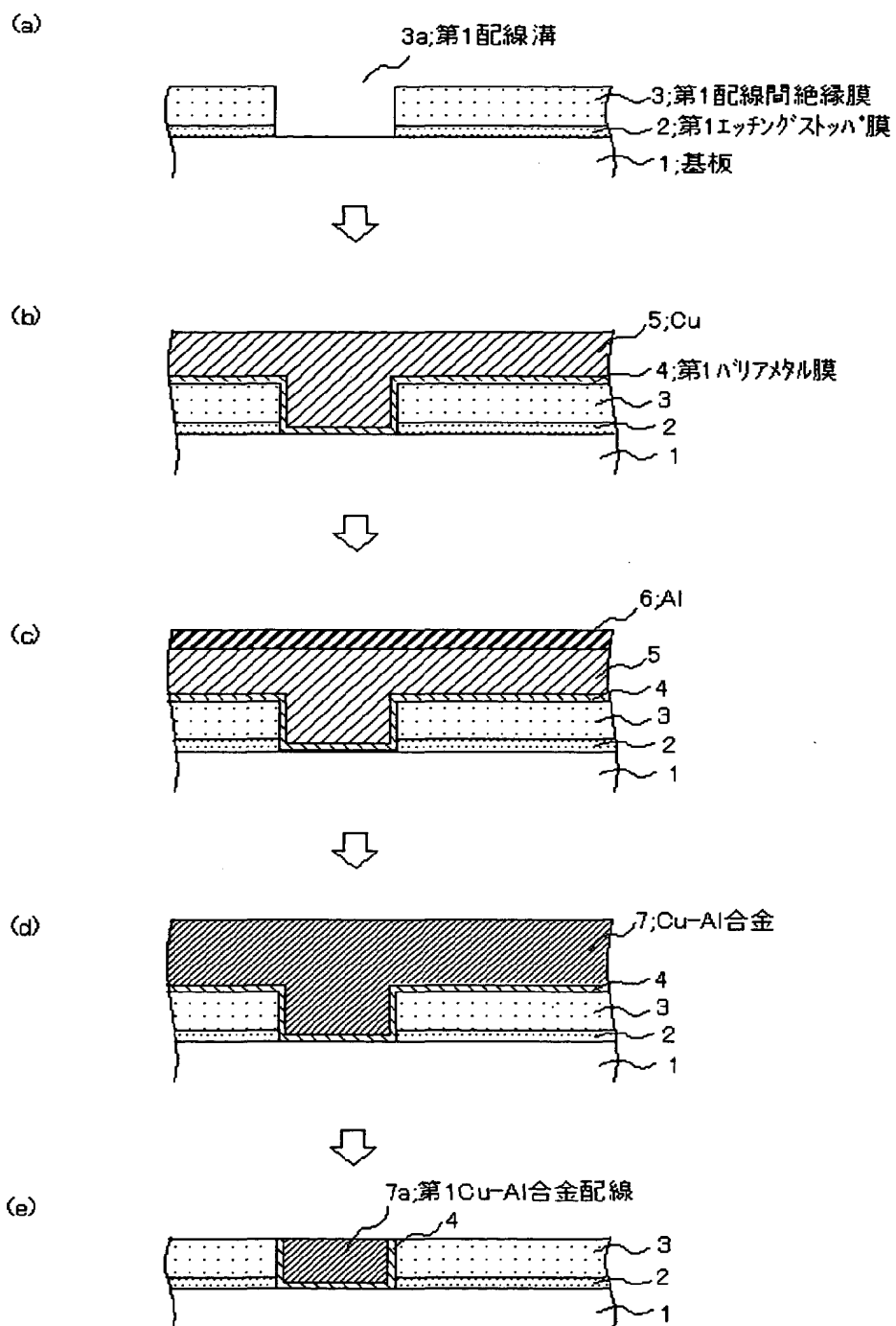
Cu膜厚 : 700nm

合金化アノイ : 350°C 30分

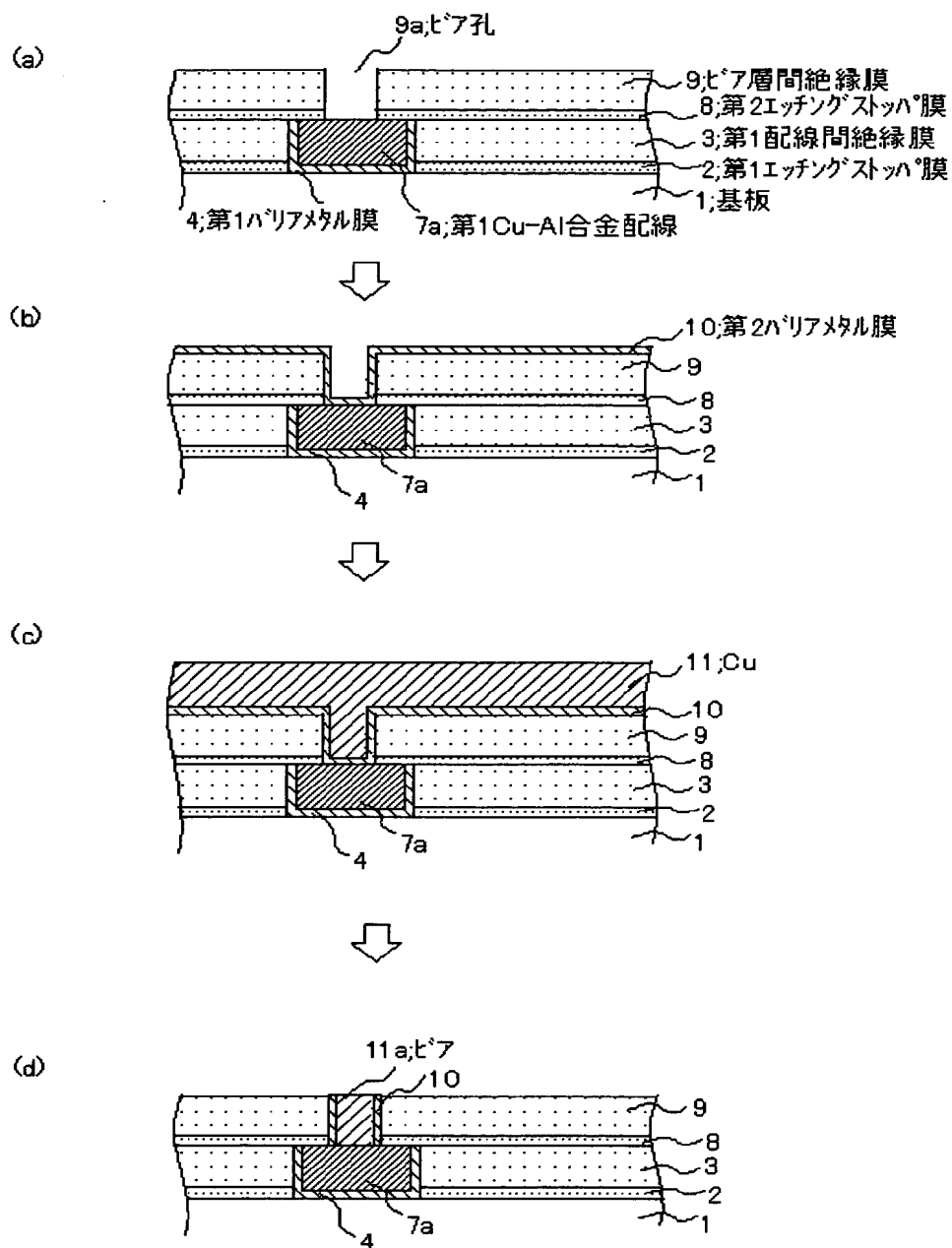
【図 7】



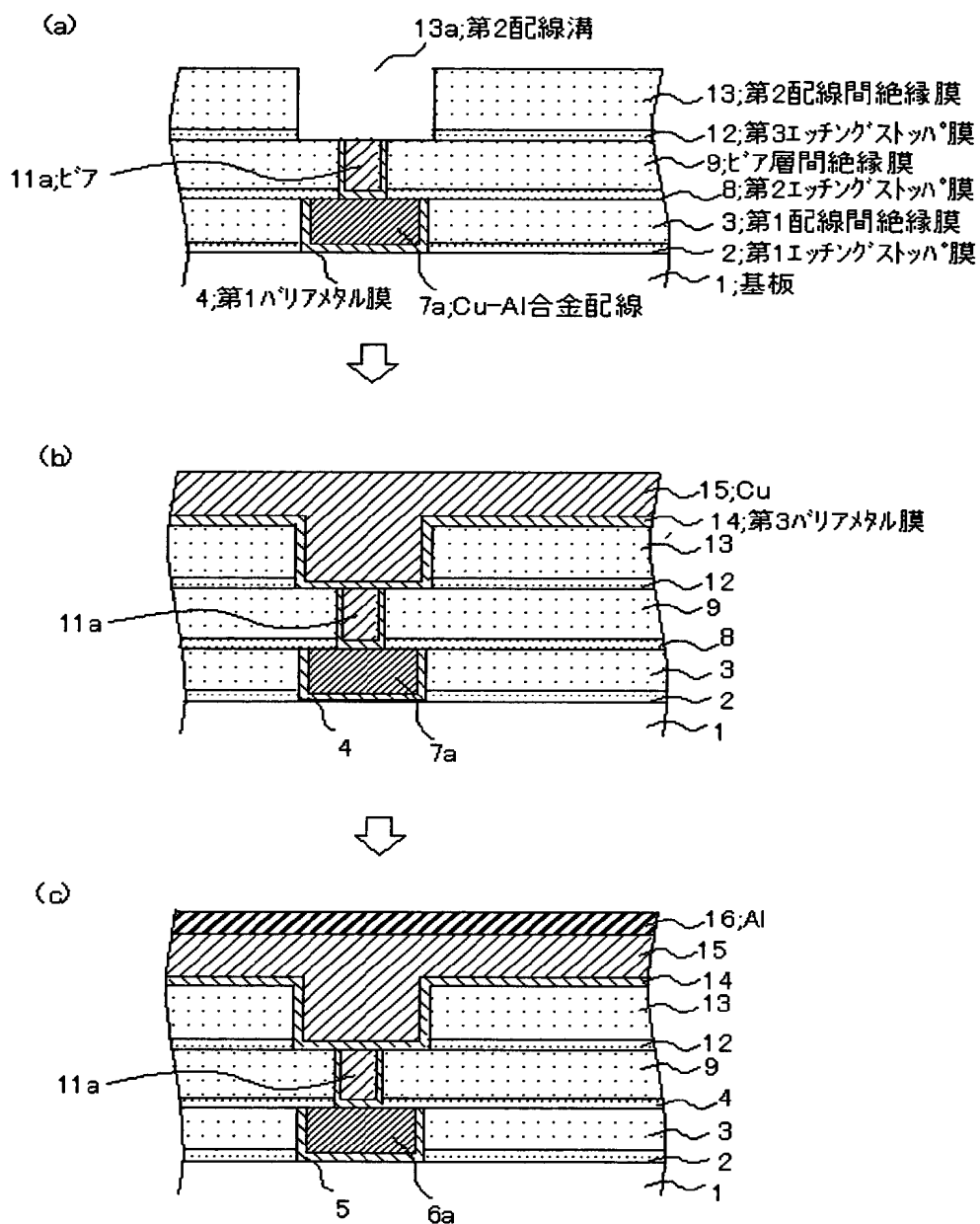
【図8】



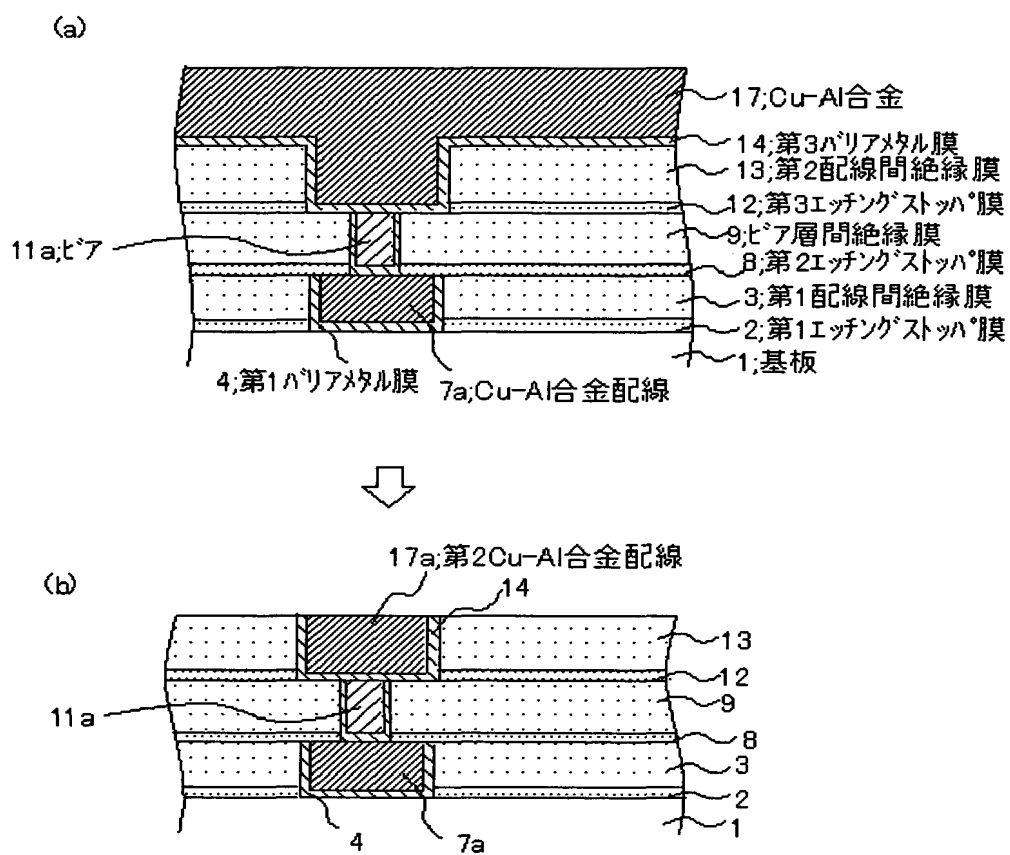
【図9】



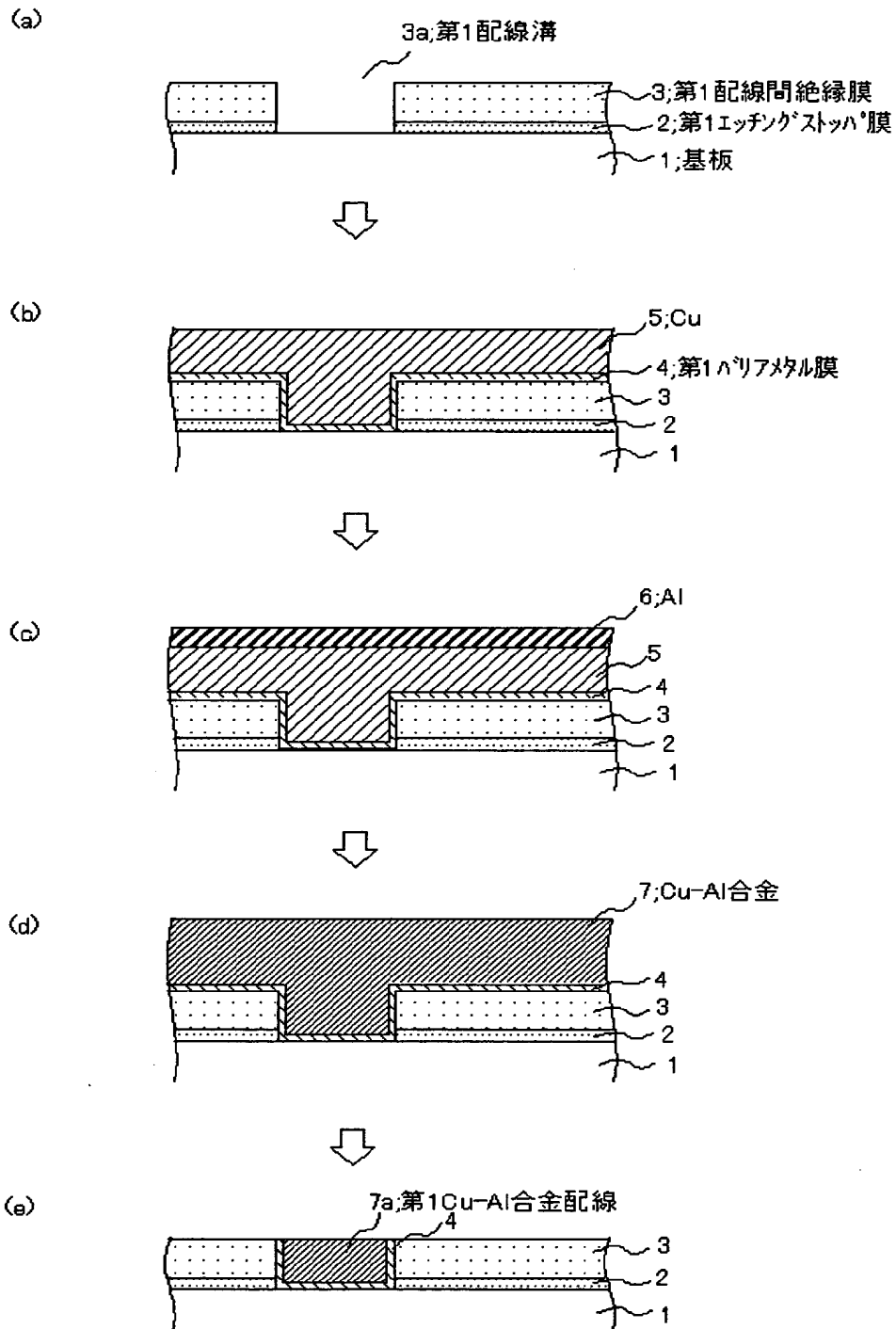
【図 1 0】



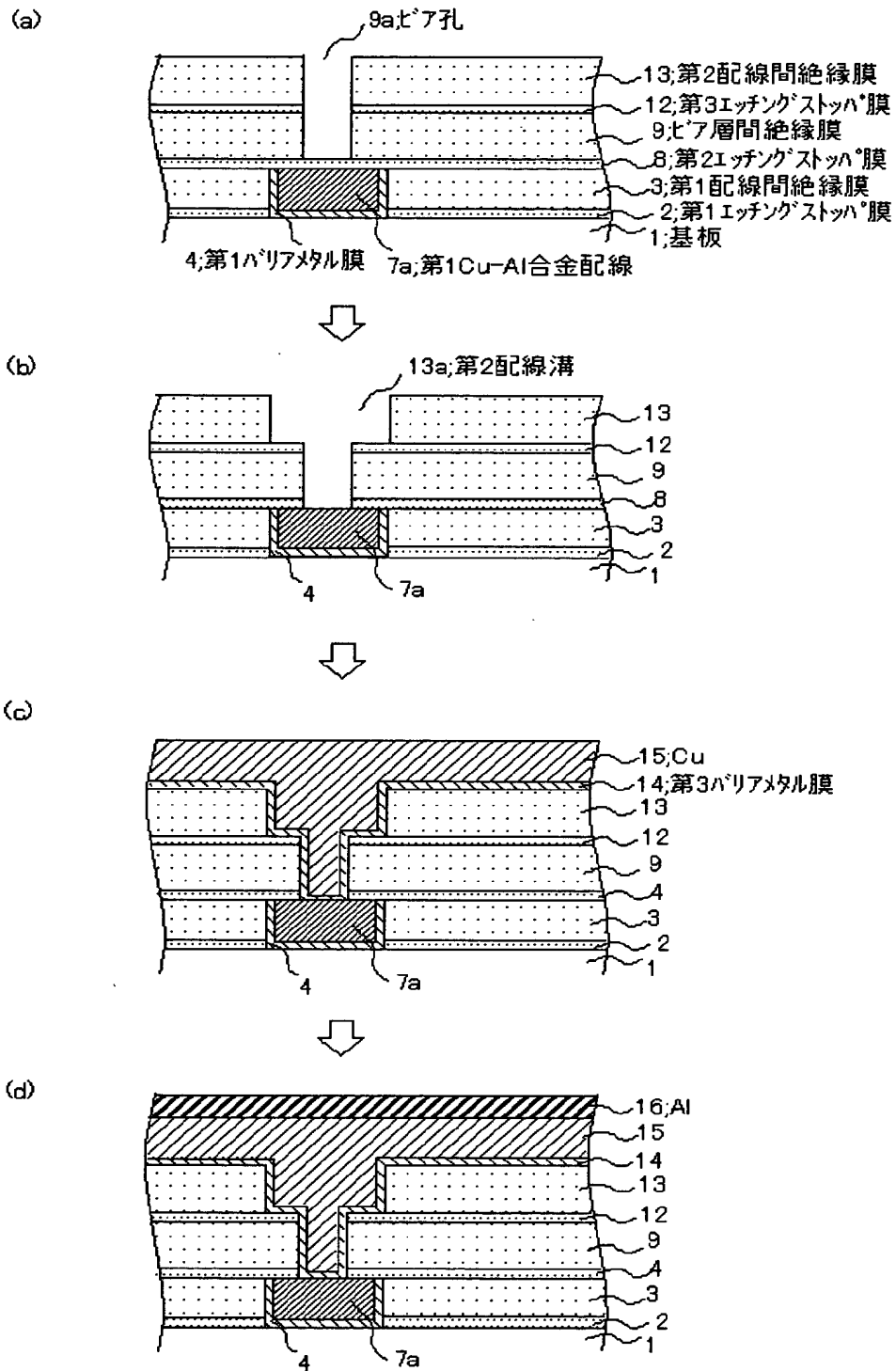
【図11】



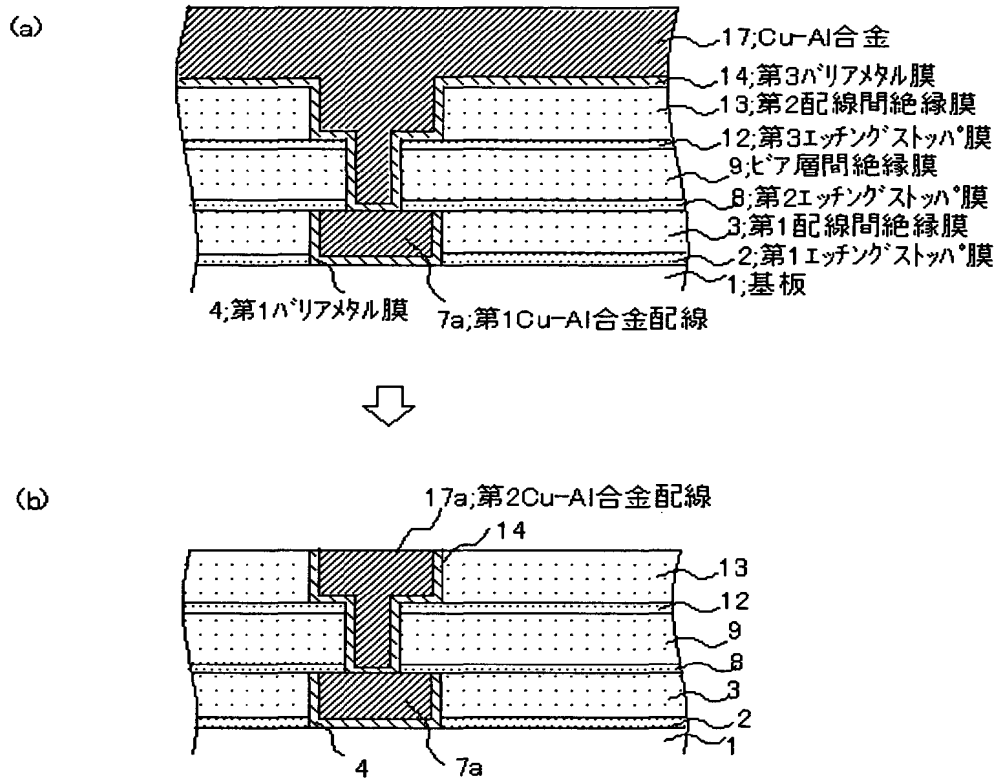
【図 1 2】



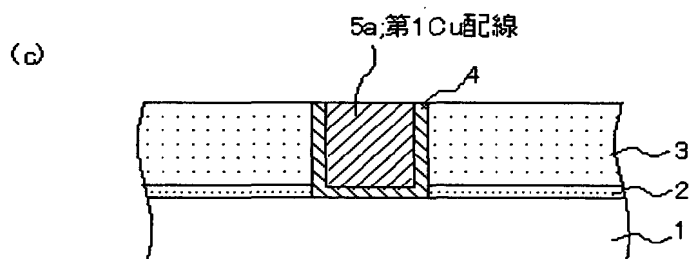
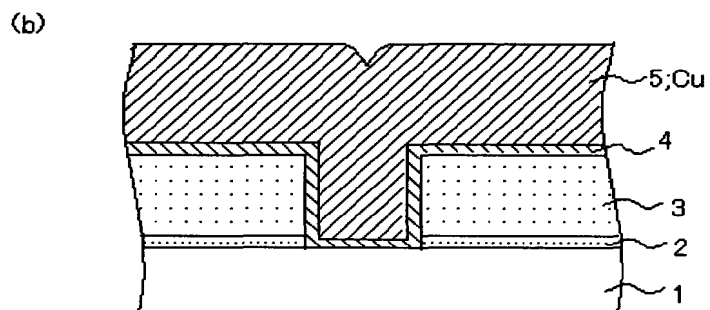
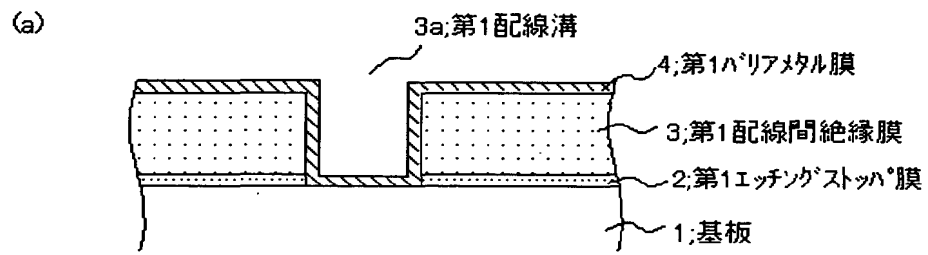
【図 1 3】



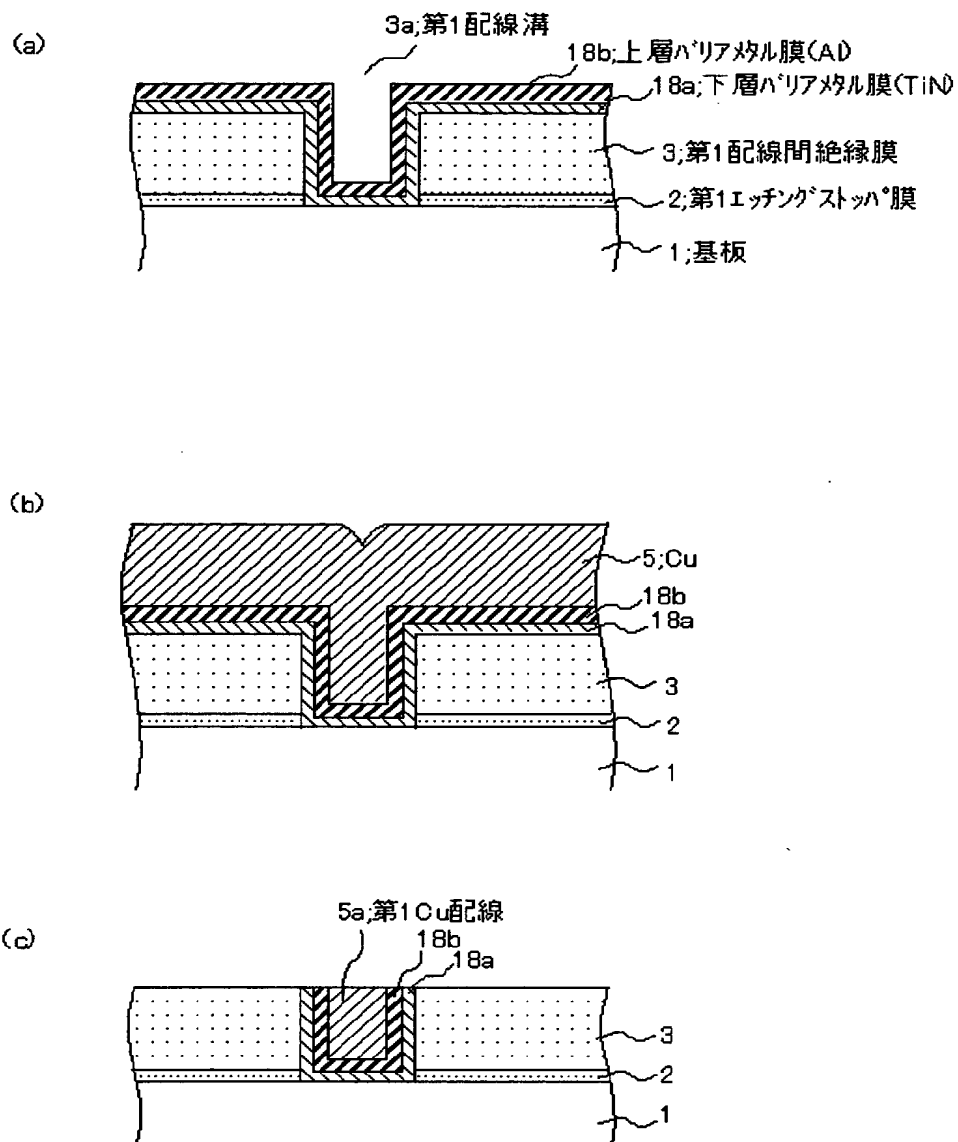
【図 1 4】



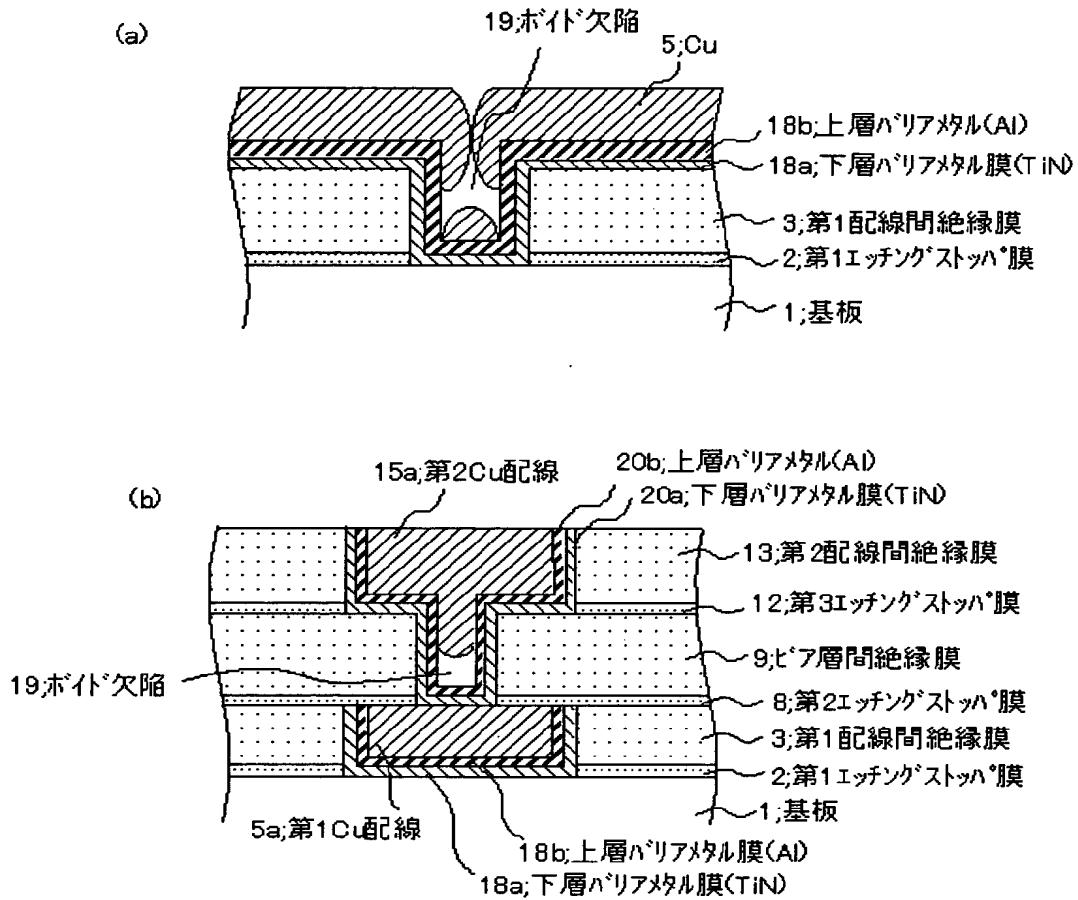
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】

Cuの埋め込み性を劣化させることなく、Cu原子の輸送現象に起因するボイド欠陥等の発生を抑制することができる半導体装置及びその製造方法の提供。

【解決手段】

CMP法を用いてCu配線を形成するダマシンプロセスにおいて、配線溝又はビア孔にCu5をメッキ成長した後、又はCMPによりCu5を研磨した後、Cu5上にAl6又はAlを含む材料を形成し、200℃～270℃程度の温度で熱処理を行うことにより、Al6をCu5に全固溶させてCu-Al合金7を形成するものであり、Cu5の上にAl6を形成することにより、配線溝又はビア孔のアスペクト比の増加を防止し、また、配線又はビアを合金化することにより、拡散係数を減少させてCu原子の移動によるボイド欠陥の発生を抑制し、配線の信頼性を向上させることができる。

【選択図】

図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74112667

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-188927

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100114672

 【弁理士】

 【氏名又は名称】 宮本 恵司

【提出物件の目録】

 【物件名】 承継人であることを証する登記簿謄本 1

 【援用の表示】 特願 2 0 0 2 - 3 1 8 4 8 8 の出願人名義変更届（一般承継）に添付のものを援用する。

 【物件名】 承継人であることを証する承継証明書 1

 【援用の表示】 特願 2 0 0 0 - 1 2 0 3 3 6 の出願人名義変更届（一般承継）に添付のものを援用する。

 【包括委任状番号】 0217061

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社